

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204850

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H03K 19/0185

H03K 17/06

H03K 17/16

(21)Application number : 05-000998

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 07.01.1993

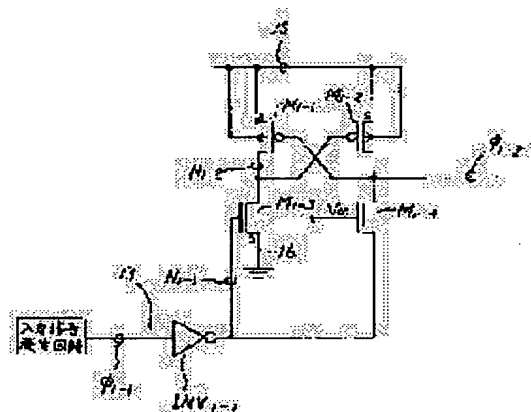
(72)Inventor : SAKUMA SHINZO  
MIYAMOTO SANPEI

## (54) LEVEL SHIFTER CIRCUIT

## (57)Abstract:

**PURPOSE:** To reduce the generation of a through current from the 2nd power supply line to a ground line in a level shifter circuit for inputting a signal amplifying between the 1st power supply potential and ground potential, converting the input signal into a signal for amplifying between the 2nd power supply potential higher than the 1st power supply potential and the ground potential and outputting the converted signal.

**CONSTITUTION:** The output of the 1st inverter INV1-1 connected to an input signal line  $\phi_{i-1}$  for amplifying between the 1st power supply potential and the ground potential is connected to the 2nd power supply line 15 and connected to the source of the 2nd N-channel MOS transistor M1-4 in a level conversion circuit for outputting a level-converted output signal  $\phi_{i-2}$ .



## LEGAL STATUS

[Date of request for examination]

06.10.1998

[Date of sending the examiner's decision of rejection]

26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)【発行国】日本国特許庁(JP)

## (12)公開特許公報(A)

(11)【公開番号】特開平6-204850  
(43)【公開日】平成6年(1994)7月22日

(51)【国際特許分類第5版】

H03K 19/0185

17/06

C 9184-5J

17/16

L 9184-5J

【FI】

H03K 19/00

101 E 8941-5J

【審査請求】未請求【請求項の数】5【全頁数】12

(21)【出願番号】特願平5-998

(22)【出願日】平成5年(1993)1月7日

(71)【出願人】

【識別番号】000000295

【氏名又は名称】沖電気工業株式会社

【住所又は居所】東京都港区虎ノ門1丁目7番12号

(72)【発明者】

【氏名】佐久間 信三

【住所又は居所】東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72)【発明者】

【氏名】宮本 三平

【住所又は居所】東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(74)【代理人】

【弁理士】

【氏名又は名称】清水 守(外2名)

(54)【発明の名称】レベルシフト回路

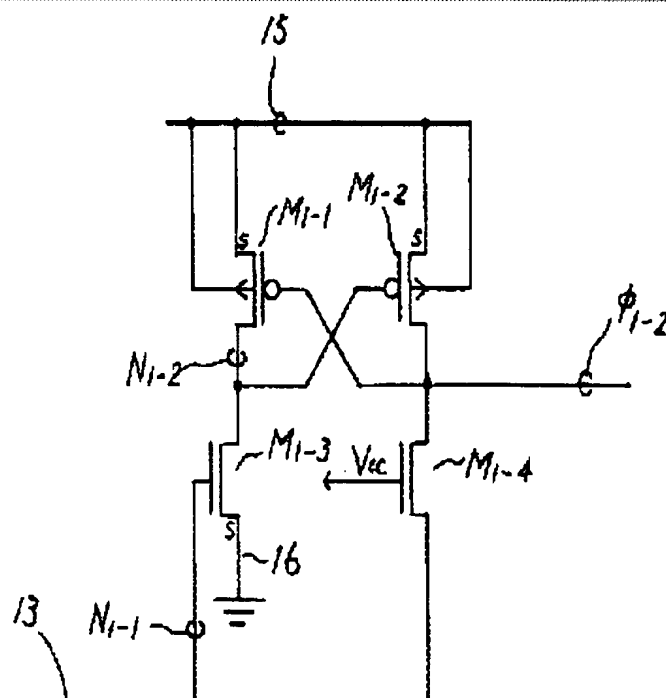
(57)【要約】(修正有)

【目的】第1の電源電位と接地電位の間を振幅する信号を入力とし、第1の電源電位よりも高い第2の電源電位と接地電位の間を振幅する信号に変換し、出力するレベルシフト回路において、第2の電源線から接地線への貫通電流の発生を低減する。

【構成】第1の電源電位と接地電位の間を振幅する入力信号線 $\phi 1-1$ に接続した第1のインバータINV1-1の出力を、第2の電源線15に接続し、レベル変換した出力信号 $\phi 1-2$ を出力するレベル変換回路の第2のNチャンネル型MOSトランジスタM1-4のソースに接続する。

【特許請求の範囲】

【請求項1】第1の電源電位と接地電位の間を振幅する信号を入力とし、第



1の電源電位よりも高い第2の電源電

位と接地電位の間を振幅する信号に変換し、出力するレベルシフト回路において、(a)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線に接続する第1のインバータと、(b)ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャネル型MOSTランジスタと、(c)ドレインを前記第1のPチャネル型MOSTランジスタのドレインと、ゲートを前記第1のインバータの出力と、ソースを接地線と接続する第1のNチャネル型MOSTランジスタと、(d)ドレインをレベルシフトの出力ノードである前記第2のPチャネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第1のインバータの出力と接続する第2のNチャネル型MOSTランジスタとを有することを特徴とするレベルシフト回路。

【請求項2】第1の電源電位と接地電位の間を振幅する信号を入力とし、第1の電源電位よりも高い第2の電源電位と接地電位の間を振幅する信号に変換し、出力するレベルシフト回路において、(a)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線に接続する第1のインバータと、(b)該第1のインバータの出力を入力とする第2のインバータと、(c)ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャネル型MOSTランジスタと、(d)ドレインを前記第1のPチャネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第1のインバータの出力と接続する第1のNチャネル型MOSTランジスタと、(e)ドレインをレベルシフトの出力ノードである前記第2のPチャネル型MOSTランジスタのドレインと、ゲートを前記第1の電源線と、ソースを第2のインバータの出力と接続する第2のNチャネル型MOSTランジスタとを有することを特徴とするレベルシフト回路。

【請求項3】第1の電源電位と接地電位の間を振幅する信号を入力とし、第1の電源電位よりも高い第2の電源電位と接地電位の間を振幅する信号に変換し、出力するレベルシフト回路において、(a)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線に接続する第1のインバータと、(b)該第1のインバータの出力と、第2のNAND回路の出力を入力とする第1のNAND回路と、該入力信号と前記第1のNAND回路の出力を入力とする第2のNAND回路と、(c)ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャネル型MOSTランジスタと、(d)ドレインを前記第1のPチャネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第1のNAND回路の出力と接続する第1のNチャネル型MOSTランジスタと、(e)ドレインをレベルシフトの出力ノードである前記第2のPチャネル型MOSTランジスタのドレインと、ゲートを前記第1の電源線と、ソースを前記第2のNAND回路の出力と接続する第2のNチャネル型MOSTランジスタとを有することを特徴とするレベルシフト回路。

【請求項4】第1の電源電位と接地電位の間を振幅する信号を入力とし、第1の電源電位よりも高い第2の電源電位と接地電位の間を振幅する信号に変換し、出力するレベルシフト回路において、(a)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線と第2のNOR回路の出力とを入力とする第1のNOR回路と、(b)前記入力線に接続される第1のインバータと、(c)該第1のインバータの出力と前記第1のNOR回路の出力を入力とする前記第2のNOR回路と、(d)前記第1のNOR回路の出力を入力とする第2のインバータと、(e)前記第2のNOR回路の出力を入力とする第3のインバータと、(f)ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャネル型MOSTランジスタと、(g)ドレインを前記第1のPチャネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第2のインバータの出力と接続する第1のNチャネル型MOSTランジスタと、(h)ドレインをレベルシフトの出力ノードである前記第2のPチャネル型MOSTランジスタのドレインと、ゲートを前記第1の電源線と、ソースを前記第3のインバータの出力と接続する第2のNチャネル型MOSTランジスタとを有することを特徴とするレベルシフト回路。

【請求項5】請求項1、2、3又は4記載のレベルシフト回路において、ソースを前記第2の電源線と、ゲートをレベルシフトの出力ノードと、ドレインをドライバの出力ノードと接続する第3のPチャネル型MOSTランジスタと、ドレインをドライバの出力ノードと、ゲートをレベルシフトの出力ノードと、ソースを接地線と接続した第3のNチャネル型MOSTランジスタで構成した出力ドライブ回路を有することを特徴とするレベルシフト回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路におけるレベルシフト回路に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、以下に示すようなものがあった。図4はかかる従来のレベルシフト回路図である。入力線3は第1の電源電位(Vccレベル)と接地電位(Vssレベル)の間を振幅する入力信号ö6-1である。この信号ö6-1を入力とするインバータINV6-

1 と、このINV6-1 の出力ノードN6-1 を入力とするINV6-2 と、ソースを第1の電源電位(Vcc)より高い電位(Vppレベル)の第2の電源線5と接続し、ゲート、ドレインを互いのドレイン、ゲートと接続したPチャネル型MOSTランジスタM6-1、M6-2 と、ドレインをノードN6-3 によりトランジスタM6-1 のドレインと、ゲートをノードN6-1 と、ソースを接地線6と接続したNチャネル型MOSTランジスタM6-3 と、ドレインをトランジスタM6-2 のドレインと、ゲートをノードN6-2 と、ソースを接地線6と接続したNチャネル型MOSTランジスタM6-4 で構成するようにしている。

【0003】図5はそのレベルシフト回路の動作電圧波形図である。以下に、この図を参照しながらそのレベルシフト回路の動作を述べる。図5(a)に示すように、入力線3の入力信号ö6-1 がVccレベルからVssレベルへ変わると、インバータINV6-1 により、ノードN6-1 はVssレベルからVccレベルとなり、トランジスタM6-3 をONし、ノードN6-3 をVppレベルからVssレベルに下げようとする。

【0004】同時に、インバータINV6-2 によりノードN6-2 はVccレベルからVssレベルとなり、トランジスタM6-4 をOFFする。トランジスタM6-4 がOFFすると、出力ö6-2 はノードN6-3 の電位によりトランジスタM6-2 を介してVppレベルとなり、トランジスタM6-1 をOFFする。トランジスタM6-1 をOFFすると、ノードN6-1 の電位により、トランジスタM6-3 を介してノードN6-3 をVssレベルにする。

【0005】次いで、図5(b)に示すように、入力信号ö6-1 をVssレベルからVccレベルとすると、インバータINV6-1 によりノードN6-1 はVccレベルからVssレベルとなり、トランジスタM6-3 をOFFし、インバータINV6-2 によりノードN6-2 はVssレベルからVccレベルとなる。ノードN6-2 はトランジスタM6-4 をONし、出力ö6-2 をVppレベルからVssレベルに下げ、同時にトランジスタM6-1 をONさせノードN6-3 をVppレベルにし、トランジスタM6-2 をOFFする。

【0006】上記したように、VccレベルとVssレベルの間を振幅する入力信号ö6-1を、VppレベルとVssレベルの間を振幅する出力ö6-2 に変換するようにしている。

【0007】

【発明が解決しようとする課題】しかしながら、以上述べた従来のレベルシフト回路では、入力信号ö6-1 が、VccレベルからVssレベルへ変化する時、また、VssレベルからVccレベルへ変化する時、ともに第2の電源線2から接地線3への貫通電流が発生してしまうという問題があった。

【0008】すなわち、図5(a)に示すように、入力信号ö6-1 がVccレベルからVssレベルになると、インバータINV6-1 により、ノードN6-1 はVssレベルからVccレベルとなり、トランジスタM6-3 をONする。しかし、この時、出力ö6-2 はまだVssレベルであるので、トランジスタM6-1、M6-3 が同時にON状態となり、貫通電流I1 が流れる。また、ノードN6-3 の電位が下がると、トランジスタM6-2 をONさせ、ノードN6-2 がVssレベルになるまで貫通電流I1 が流れる。

【0009】次に、図5(b)に示すように、入力信号ö6-1 をVssレベルからVccレベルにすると、インバータINV6-1、INV6-2 によりノードN6-2 はVssレベルからVccレベルになり、トランジスタM6-4 をONする。この時、ノードN6-3 はVssレベルであるので、トランジスタM6-2、M6-4 が同時にON状態となり、貫通電流I2 が流れる。

【0010】したがって、第2の電源電位を内部発生させている半導体集積回路において、貫通電流の増加は内部昇圧回路の負担を重くする。本発明は、以上述べたレベルシフト動作時に第2の電源線から接地線へ貫通電流が発生するという問題点を除去するため、第1、第2のNチャネル型MOSTランジスタの両方、もしくは出力ノードに接続するNチャネル型MOSTランジスタのみのゲートを第1の電源線と接続し、入力制御手段によって発生した信号のソース制御により、レベルシフトを動作させることによって、第2の電源線から接地線への貫通電流の発生を低減できるレベルシフト回路を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するために、第1の電源電位と接地電位の間を振幅する信号を入力とし、第1の電源電位よりも高い第2の電源電位と接地電位の間を振幅する信号に変換し、出力するレベルシフト回路において、(A)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線に接続する第1のインバータと、ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャネル型MOSTランジスタと、ドレインを前記第1のPチャネル型MOSTランジスタのドレインと、ゲートを前記第1のインバータの出力と、ソースを接地線と接続する第1のNチャネル型MOSTランジスタと、ドレインをレベルシフトの出力ノードである前記第2のPチャネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第1のインバータの出力と接続する第2のNチャネル型MOSTランジスタとを設けるようにしたものである。

【0012】(B)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線に接続する第1のインバータと、該第1のインバータの出力を入力とする第2のインバータと、ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャ

ネル型MOSTランジスタと、ドレインを前記第1のPチャンネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第1のインバータの出力と接続する第1のNチャンネル型MOSTランジスタと、ドレインをレベルシフトの出力ノードである前記第2のPチャンネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを第2のインバータの出力と接続する第2のNチャンネル型MOSTランジスタとを設けるようにしたものである。

【0013】(C)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線に接続する第1のインバータと、該第1のインバータの出力と、第2のNAND回路の出力を入力とする第1のNAND回路と、該入力信号と前記第1のNAND回路の出力を入力とする第2のNAND回路と、ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャンネル型MOSTランジスタと、ドレインを前記第1のPチャンネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第1のNAND回路の出力と接続する第1のNチャンネル型MOSTランジスタと、ドレインをレベルシフトの出力ノードである前記第2のPチャンネル型MOSTランジスタのドレインと、ゲートを前記第1の電源線と、ソースを前記第2のNAND回路の出力と接続する第2のNチャンネル型MOSTランジスタとを設けるようにしたものである。

【0014】(D)入力信号発生回路より出力する第1の電源電位と接地電位の間を振幅する入力信号線と第2のNOR回路の出力とを入力とする第1のNOR回路と、第1の電源線と接地線とに切り換え可能な入力線と第2のNOR回路の出力とを入力とする第1のNOR回路と、前記入力線に接続される第1のインバータと、該第1のインバータの出力と前記第1のNOR回路の出力を入力とする前記第2のNOR回路と、前記第1のNOR回路の出力を入力とする第2のインバータと、前記第2のNOR回路の出力を入力とする第3のインバータと、ソースを第2の電源線に接続し、ゲート、ドレインを互いのドレイン、ゲートに接続する第1、第2のPチャンネル型MOSTランジスタと、ドレインを前記第1のPチャンネル型MOSTランジスタのドレインと、ゲートを第1の電源線と、ソースを前記第2のインバータの出力と接続する第1のNチャンネル型MOSTランジスタと、ドレインをレベルシフトの出力ノードである前記第2のPチャンネル型MOSTランジスタのドレインと、ゲートを前記第1の電源線と、ソースを前記第3のインバータの出力と接続する第2のNチャンネル型MOSTランジスタとを設けるようにしたものである。

【0015】(E)前記レベルシフト回路(A)～(D)において、ソースを前記第2の電源線と、ゲートをレベルシフトの出力ノードと、ドレインをドライバの出力ノードと接続する第3のPチャンネル型MOSTランジスタと、ドレインをドライバの出力ノードと、ゲートをレベルシフトの出力ノードと、ソースを接地線と接続した第3のNチャンネル型MOSTランジスタで構成した出力ドライブ回路を設けるようにしたものである。

【0016】

【作用】本発明によれば、上記したように、ドレインをレベルシフトの出力ノードに接続する第1のNチャンネル型MOSTランジスタ、及びドレインを出力ドライブPチャンネル型MOSTランジスタのゲートノードに接続する第2のNチャンネル型MOSTランジスタの、両方もしくは第1のNチャンネル型MOSTランジスタのみの、ゲートを第1の電源線に接続し、ソース入力によって動作させることにより、入力信号のずれによって発生する第2の電源線から接地線への貫通電流を低減することができる。また、入力手段においてタイミングを設定することにより、更に、貫通電流を低減することができる。

【0017】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の第1実施例を示すレベルシフト回路図である。入力線13の入力信号 $\phi 1-1$ は、第1の電源電位( $V_{cc}$ レベル)と接地電位( $V_{ss}$ レベル)の間を振幅する信号である。この入力信号 $\phi 1-1$ を入力とするインバータINV1-1と、ソースを第1の電源電位より高い電位( $V_{pp}$ レベル)の第2の電源線15と接続し、ゲート、ドレインを互いのドレイン、ゲートと接続したPチャンネル型MOSTランジスタM1-1とM1-2と、ドレインをノードN1-2と、ゲートをノードN1-1と、ソースを接地線16と接続したNチャンネル型MOSTランジスタM1-3と、ドレインを出力 $\phi 1-2$ と、ゲートを第1の電源と、ソースをノードN1-1と接続したNチャンネル型MOSTランジスタM1-4で構成している。

【0018】以下、第1の実施例におけるレベルシフト回路の動作を述べる。図2は本発明の第1実施例を示すレベルシフト回路の動作電圧波形図、図3はそのレベルシフト回路の第2の電源線の電流波形図である。図2(a)に示すように、入力信号 $\phi 1-1$ を $V_{cc}$ レベルから $V_{ss}$ レベルにすると、インバータINV1-1により、ノードN1-1は $V_{ss}$ レベルから $V_{cc}$ レベルとなり、トランジスタM1-3をONさせ、ノードN1-2を $V_{pp}$ レベルから $V_{ss}$ レベルにする。同時に、トランジスタM1-4を介して出力 $\phi 1-2$ に電荷を供給し、ノードN1-2によりトランジスタM1-2を介して供給するとともに、出力 $\phi 1-2$ を $V_{ss}$ レベルから $V_{pp}$ レベルにする。すると、出力 $\phi 1-2$ はトランジスタM1-1をOFFする。

【0019】次いで、図2(b)に示すように、入力信号 $\phi 1-1$ を $V_{ss}$ レベルから $V_{cc}$ レベルにすると、イン

バータINV1-1により、ノードN1-1はVccレベルからVssレベルとなり、トランジスタM1-3をOFFする。同時に、ゲートが第1の電源に接続され、たえずONとなっているトランジスタM1-4を介して出力 $\phi$ 1-2をVssレベルに下げ、トランジスタM1-1をONさせる。ノードN1-2はVppレベルとなりトランジスタM1-2をOFFさせる。

【0020】このように構成することにより、入力信号 $\phi$ 1-1がVccレベルからVssレベルになる時には、図3(a)に示すように、図4及び図5に示した従来の場合には、電流波形(ii)となり、貫通電流I1が流れるのに対して、この実施例の場合には、インバータINV1-1のノードN1-1からの出力が、ゲートに第1の電源が接続され、たえずONになっているトランジスタM1-4を介して出力 $\phi$ 1-2に電荷を供給するため、電流波形(i)となり、従来例における貫通電流I1は発生しない。

【0021】このように、この実施例では、入力信号 $\phi$ 1-1がVccレベルからVssレベルになる時、また、出力 $\phi$ 1-2の電位上昇がトランジスタM1-1の移動度 $g_m$ を下げるため、ノードN1-2のVppレベルからVssレベルへの動作を高速にし、貫通電流I1が減少する。したがって、第2の電源線の電流値は従来例に比べて減少する。

【0022】また、入力信号 $\phi$ 1-1がVssレベルからVccレベルになる場合にも、図3(b)に示すように、図4及び図5に示した従来の場合には、電流波形(ii)となり、貫通電流I2が流れるのに対して、この実施例の場合には、電流波形(i)となり、従来例における貫通電流I2は発生しない。次に、本発明の第2実施例について説明する。

【0023】図6は本発明の第2実施例を示すレベルシフト回路図、図7はそのレベルシフト回路の動作電圧波形図である。入力線23の入力信号 $\phi$ 2-1は、第1の電源電位(Vccレベル)と接地電位(Vssレベル)の間を振幅する。この入力信号 $\phi$ 2-1を入力するインバータINV2-1と、このINV2-1の出力ノードN2-1を入力とするINV2-2と、ソースを第1の電源電位(Vcc)より高い電位(Vppレベル)の第2の電源線25と接続し、ゲート、ドレインを互いのドレイン、ゲートと接続したPチャネル型MOSTランジスタM2-1、M2-2と、ドレインをノードN2-3とゲートを第1の電源とソースをノードN2-1と接続したNチャネル型MOSTランジスタM2-3と、ドレインを出力 $\phi$ 2-2とゲートを第1の電源とソースをノードN2-2と接続したNチャネル型MOSTランジスタM2-4で構成している。

【0024】以下、本発明の第2実施例を示すレベルシフト回路の動作について図6及び図7を参照しながら説明する。まず、図7(a)に示すように、入力信号 $\phi$ 2-1をVccレベルからVssレベルにすると、インバータINV2-1により、ノードN2-1はVssレベルからVccレベルとなり、トランジスタM2-3を介してノードN2-3はVccレベルとなり、トランジスタM2-2をOFFする。また、ノードN2-1はインバータINV2-2により、ノードN2-2をVccレベルからVssレベルとし、トランジスタM2-4を介して出力 $\phi$ 2-2をVssレベルにする。

【0025】次いで、図7(b)に示すように、入力信号 $\phi$ 2-1をVssレベルからVccレベルにすると、インバータINV2-1によりノードN2-1はVccレベルからVssレベルとなり、トランジスタM2-3を介してノードN2-3をVppレベルからVssレベルにする。同時に、インバータINV2-2によりノードN2-2をVccレベルとし、トランジスタM2-4を介して出力 $\phi$ 2-2をVccレベルにし、トランジスタM2-1をOFFする。ノードN2-3はトランジスタM2-2をONし、トランジスタM2-2を介して出力 $\phi$ 2-2をVppレベルとし、出力 $\phi$ 2-2はトランジスタM2-1をOFFする。

【0026】この第2の実施例では、図7(a)に示すように、入力信号 $\phi$ 2-1がVccレベルからVssレベルになる時、インバータINV2-1の出力ノードN2-1が、ゲートに第1の電源が接続され、たえずONになっているトランジスタM2-3を介してノードN2-3に電荷を供給するため、トランジスタM2-1、M2-3の貫通電流I1は発生しない。

【0027】また、図7(b)に示すように、入力信号 $\phi$ 2-1がVssレベルからVccレベルとなる時、インバータINV2-2の出力ノードN2-2が、ゲートに第1の電源が接続され、たえずONになっているトランジスタM2-4を介して出力 $\phi$ 2-2に電荷を供給するためトランジスタM2-2、M2-4による貫通電流I2は発生しない。

【0028】次に、本発明の第3実施例について説明する。図8は本発明の第3実施例を示すレベルシフト回路図、図9はそのレベルシフト回路の動作電圧波形図である。入力線33の入力信号 $\phi$ 3-1は、第1の電源電位(Vccレベル)と接地電位(Vssレベル)の間を振幅する。その入力信号 $\phi$ 3-1を入力とするインバータINV3-1と、インバータINV3-1の出力ノードN3-1と第2のNAND回路(以下NA3-2という)の出力ノードN3-3を入力とする第1のNAND回路(NA3-1)と、入力信号 $\phi$ 3-1とNA3-1の出力ノードN3-2を入力とするNA3-2と、ソースを第1の電源電位(Vccレベル)より高い電位(Vppレベル)の第2の電源線35と接続し、ゲート、ドレインを互いのドレイン、ゲートと接続したPチャネル型MOSTランジスタM3-1、M3-2と、ドレインをノードN3-4とゲートを第1の電源とソースをノードN3-2と接続したNチャネル型MOSTランジスタM3-3と、ドレインを出力 $\phi$ 3-2と、ゲートを第1の電源とソースをノードN3-3と接続したNチャネル型MOSTランジスタM3-4で構成している。

【0029】以下、本発明の第3実施例を示すレベルシフト回路の動作について図8及び図9を参照しながら説明する。まず、図9(a)に示すように、入力信号 $\phi 3-1$ をVccレベルからVssレベルにすると、NA3-2によりノードN3-3はVssレベルからVccレベルとなる。ノードN3-3は、ゲートが第1の電源に接続され、たえずONとなっているトランジスタM3-4を介して出力 $\phi 3-2$ をVssレベルからVccレベルにし、同時にNA3-1によりノードN3-2をVccレベルからVssレベルにする。ノードN3-2は、ゲートが第1の電源に接続され、たえずONとなっているトランジスタM3-3を介してノードN3-4をVppレベルからVssレベルにし、トランジスタM3-2をONし、出力 $\phi 3-2$ をVppレベルに充電する。出力 $\phi 3-2$ がVppレベルとなると、トランジスタM3-1はOFFする。

【0030】次いで、図9(b)に示すように、入力信号 $\phi 3-1$ をVssレベルからVccレベルにすると、インバータINV3-1により、ノードN3-1はVccレベルからVssレベルになり、NA3-1により、ノードN3-2をVccレベルとする。ノードN3-2は、ゲートが第1の電源に接続され、たえずONとなっているトランジスタM3-3を介してノードN3-4をVccレベルにする。同時に、NA3-2によりノードN3-3をVssレベルとし、ゲートが第1の電源に接続され、トランジスタM3-4を介して出力 $\phi 3-2$ をVssレベルにする。出力 $\phi 3-2$ はトランジスタM3-1をONし、ノードN3-4をVppレベルにし、トランジスタM3-2をOFFする。

【0031】この第3の実施例では、図9(a)に示すように、入力信号 $\phi 3-1$ がVccレベルからVssレベルになる時、ノードN3-3がトランジスタM3-4を介して出力 $\phi 3-2$ に電荷を供給するため、従来例における貫通電流I1は発生しない。また、出力 $\phi 3-2$ の電位上昇がトランジスタM3-1の移動度gmを下げるため、ノードN3-4のVppレベルからVssレベルへの動作を高速にし、貫通電流I1が減少する。

【0032】また、図9(b)に示すように、入力信号 $\phi 3-1$ が、VssレベルからVccレベルになる場合も、貫通電流I2を減少させることができる。次に、本発明の第4実施例について説明する。図10は本発明の第4実施例を示すレベルシフト回路図、図11はそのレベルシフト回路の動作電圧波形図である。

【0033】入力線43の入力信号 $\phi 4-1$ は第1の電源電位(Vccレベル)と接地電位(Vssレベル)の間を振幅する。更に、その入力信号 $\phi 4-1$ を入力とするインバータINV4-1と、インバータINV4-1の出力ノードN4-1と第1のNOR回路(NO4-1という)の出力ノードN4-2を入力とする第2のNOR回路(以下、NO4-2という)と、入力信号 $\phi 4-1$ とNO4-2の出力ノードN4-3を入力とするNO4-1と、ノードN4-2を入力とするインバータINV4-2と、ノードN4-3を入力とするインバータINV4-3と、ソースを第1の電源電位(Vccレベル)より高い電位(Vppレベル)の第2の電源線45と接続し、ゲート、ドレインを互いのドレイン、ゲートと接続したPチャネル型MOSTランジスタM4-1、M4-2と、ドレインをノードN4-6と、ゲートを第1の電源と、ソースをノードN4-4と接続したNチャネル型MOSTランジスタM4-3と、ドレインを出力 $\phi 4-2$ とゲートを第1の電源とソースをノードN4-5と接続したNチャネル型MOSTランジスタM4-4で構成している。

【0034】以下、本発明の第4実施例を示すレベルシフト回路の動作について図10及び図11を参照しながら説明する。まず、図11(a)に示すように、入力信号 $\phi 4-1$ をVccレベルからVssレベルにすると、インバータINV4-1により、ノードN4-1はVssレベルからVccレベルとなり、NO4-2によりノードN4-3をVssレベルにする。ノードN4-3はインバータINV4-3により、ノードN4-5をVccレベルとし、ゲートが第1の電源に接続され、たえずONとなっているトランジスタM4-4を介して出力 $\phi 4-2$ をVccレベルにする。

【0035】同時に、ノードN4-3はNO4-1によりN4-2をVccレベルとし、ノードN4-2はインバータINV4-2によりノードN4-4をVssレベルにする。ノードN4-4はゲートが第1の電源に接続され、たえずONとなっているトランジスタM4-3を介してノードN4-6をVssレベルにし、トランジスタM4-2をONし、出力 $\phi 4-2$ をVppレベルにする。この出力 $\phi 4-2$ はトランジスタM4-1をOFFする。

【0036】次に、図11(b)に示すように、入力信号 $\phi 4-1$ をVssレベルからVccレベルにすると、NO4-1により、ノードN4-2はVssレベルとなり、インバータINV4-2により、ノードN4-4はVccレベルとなる。ノードN4-4は、ゲートが第1の電源に接続され、たえずONとなっているトランジスタM4-3を介してノードN4-6をVccレベルとする。

【0037】また、ノードN4-2はNO4-2により、ノードN4-3をVccレベルとし、インバータINV4-3によりノードN4-5をVssレベルとする。ノードN4-5は、ゲートが第1の電源に接続され、たえずONとなっているトランジスタM4-4を介して、出力 $\phi 4-2$ をVssレベルにする。出力 $\phi 4-2$ はトランジスタM4-1をONし、ノードN4-6をVppレベルとする。

【0038】この第4実施例では、図11(a)に示すように、入力信号 $\phi 4-1$ がVccレベルからVssレベルになる時、ノードN4-5がトランジスタM4-4を介して出力 $\phi 4-2$ に電荷を供給するため、従来例における貫通電流I1は発生しない。また、出力 $\phi 4-2$ の電位上昇がトランジスタM4-1の移動度gmを下



げるため、ノードN4-6のVppレベルからVssレベルへの動作を高速にし、貫通電流I2も減少する。

【0039】また、図11(b)に示すように、入力信号ö4-1が、VssレベルからVccレベルになる場合も、貫通電流I2を減少させることができる。次に、本発明の第5実施例について説明する。図12は本発明の第5実施例を示すレベルシフト回路図、図13はそのレベルシフト回路の動作電圧波形図である。

【0040】この実施例においては、第1の実施例と同様のレベルシフト回路54と、このレベルシフト回路54に接続される出力ドライバ回路56を有している。すなわち、レベルシフト回路54は入力信号発生回路に接続される。つまり、入力線53の入力信号ö5-1は第1の電源電位(Vccレベル)と接地電位(Vssレベル)の間を振幅する。更に、この入力信号ö5-1を入力とするインバータINV5-1と、ソースを第1の電源電位(Vcc)より高い電位(Vppレベル)の第2の電源線55と接続し、ゲート、ドレインを互いのドレイン、ゲートと接続したPチャネル型MOSTランジスタM5-1とM5-2と、ドレインをノードN5-2と、ゲートをノードN5-1と、ソースを接地線57と接続したNチャネル型MOSTランジスタM5-3と、ドレインを出力ö5-2と、ゲートを第1の電源と、ソースをノードN5-1と接続したNチャネル型MOSTランジスタM5-4で構成している。

【0041】そして、前記出力ドライバ回路56は、ソースを第2の電源線55と、ゲートを出力ö5-2と、ドレインを出力ö5-3と接続するPチャネル型MOSTランジスタM5-5と、ドレインを出力ö5-3とゲートを出力ö5-2とソースを接地線57と接続したNチャネル型MOSTランジスタM5-6で構成し、出力ö5-3を得るようにしている。

【0042】以下、本発明の第5実施例を示すレベルシフト回路の動作について図13を参照しながら説明する。まず、レベルシフト回路54の動作は第1の実施例の動作と同様であり、図13(a)に示すように、入力信号ö5-1をVccレベルからVssレベルにする場合には、出力ドライバ回路56にてVssレベルからVppレベルへとシフトする出力ö5-2の反転出力ö5-3を得るものである。また、図13(b)に示すように、入力信号ö5-1をVssレベルからVccレベルにする場合には、出力ドライバ回路56にてVppレベルからVccレベルへシフトする出力ö5-2の反転出力ö5-3を得るものである。

【0043】すなわち、第1の実施例における出力ö1-2の動作で、Vssレベルから一度Vcc-Vtnレベル(VtnはNチャネル型MOSTランジスタの閾値)まで上昇させ、後にVppレベルとする動作が、出力ö1-2の入力先において不具合がある場合、例えば大きな負荷容量があり、インバータ等の素子がある場合、VssレベルからVcc-Vtnレベルへの動作時、負荷容量のため動作速度が遅れ、次段のインバータで貫通電流が発生することが考えられる。この動作が不具合とされる時、第5の実施例、つまり出力ドライバ回路56をレベルシフト回路54の出力の直後に配置し、出力ö5-2の負荷を減らし、出力ö5-2の動作を速くすることにより、出力ドライバによる貫通電流を発生させることなく、第1の実施例と同様の効果を得ることができる。

【0044】また、上記した出力ドライバ回路を第2実施例のレベルシフト回路の出力の直後に配置することにより第6実施例を、上記した出力ドライバ回路を第3実施例のレベルシフト回路の出力の直後に配置することにより第7実施例を、上記した出力ドライバ回路を第4実施例のレベルシフト回路の出力の直後に配置することにより第8実施例を、それぞれ構成することができる。

【0045】このように構成することにより、第5実施例と同様の効果を奏することができる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0046】

【発明の効果】以上、詳細に説明したように、本発明によれば、ドレインをレベルシフト出力ノードに接続する第1のNチャネル型MOSTランジスタ、及びドレインを出力ドライバPチャネル型MOSTランジスタのゲートノードに接続する第2のNチャネル型MOSTランジスタの、両方もしくは第1のNチャネル型MOSTランジスタのみの、ゲートを第1の電源線に接続し、ソース入力によって動作させることにより、入力信号のずれによって発生する第2の電源線から接地線への貫通電流を低減することができる。また、入力手段においてタイミングを設定することにより、更に貫通電流を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すレベルシフト回路図である。

【図2】本発明の第1実施例を示すレベルシフト回路の動作電圧波形図である。

【図3】本発明の第1実施例を示すレベルシフト回路の第2の電源線の電流波形図である。

【図4】従来のレベルシフト回路図である。

【図5】従来のレベルシフト回路の動作電圧波形図である。



【図6】本発明の第2実施例を示すレベルシフト回路図である。

【図7】本発明の第2実施例を示すレベルシフト回路の動作電圧波形図である。

【図8】本発明の第3実施例を示すレベルシフト回路図である。

【図9】本発明の第3実施例を示すレベルシフト回路の動作電圧波形図である。

【図10】本発明の第4実施例を示すレベルシフト回路図である。

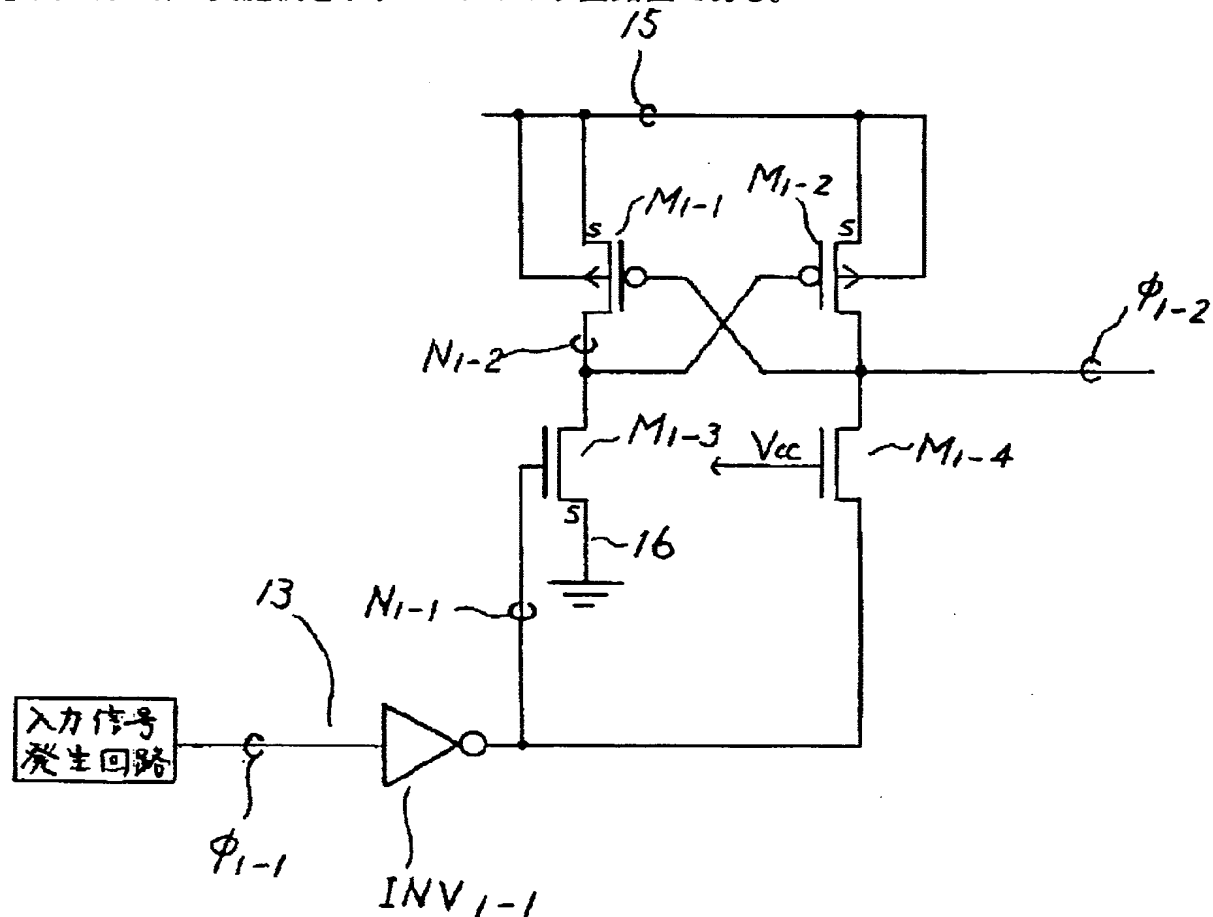
【図11】本発明の第4実施例を示すレベルシフト回路の動作電圧波形図である。

【図12】本発明の第5実施例を示すレベルシフト回路図である。

【図13】本発明の第5実施例を示すレベルシフト回路の動作電圧波形図である。

【符号の説明】13, 23, 33, 43, 53 入力線15, 25, 35, 45, 55 第2の電源線16, 57 接地線  
 ö1-1, ö2-1, ö3-1, ö4-1, ö5-1 入力信号INV1-1, INV2-1, INV2-2, INV3-1, INV4-1, INV4-2, INV4-3, INV5-1 インバータM1-1, M1-2, M2-1, M2-2, M3-1, M3-2, M4-1, M4-2, M5-1, M5-1, M5-5 Pチャネル型MOSTランジスタN1-2, N2-1, N2-2, N2-3, N3-1, N3-2, N3-3, N3-4, N4-1, N4-2, N4-3, N4-4, N4-5, N4-6, N5-1, N5-1 ノードM1-3, M1-4, M2-3, M2-4, M3-3, M3-4, M4-3, M4-4, M5-3 M5-6 Nチャネル型MOSTランジスタ  
 ö1-2, ö2-2, ö3-2, ö4-2, ö5-2, ö5-3 出力NA3-1 第1のNAND回路NA3-2 第2のNAND回路NO4-1 第1のNOR回路NO4-2 第2のNOR回路54 レベルシフト回路56 出力ドライバ回路

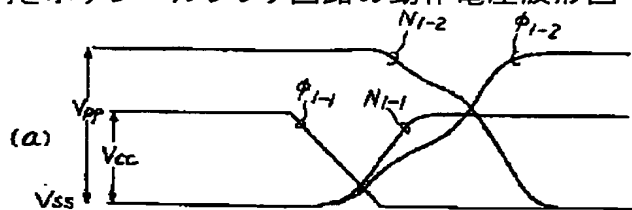
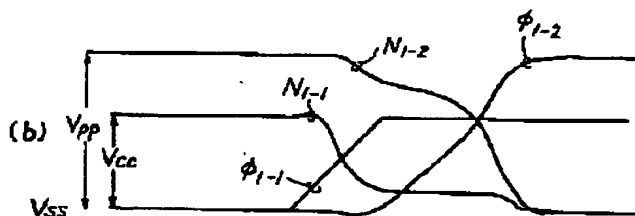
【図1】本発明の第1実施例を示すレベルシフト回路図である。



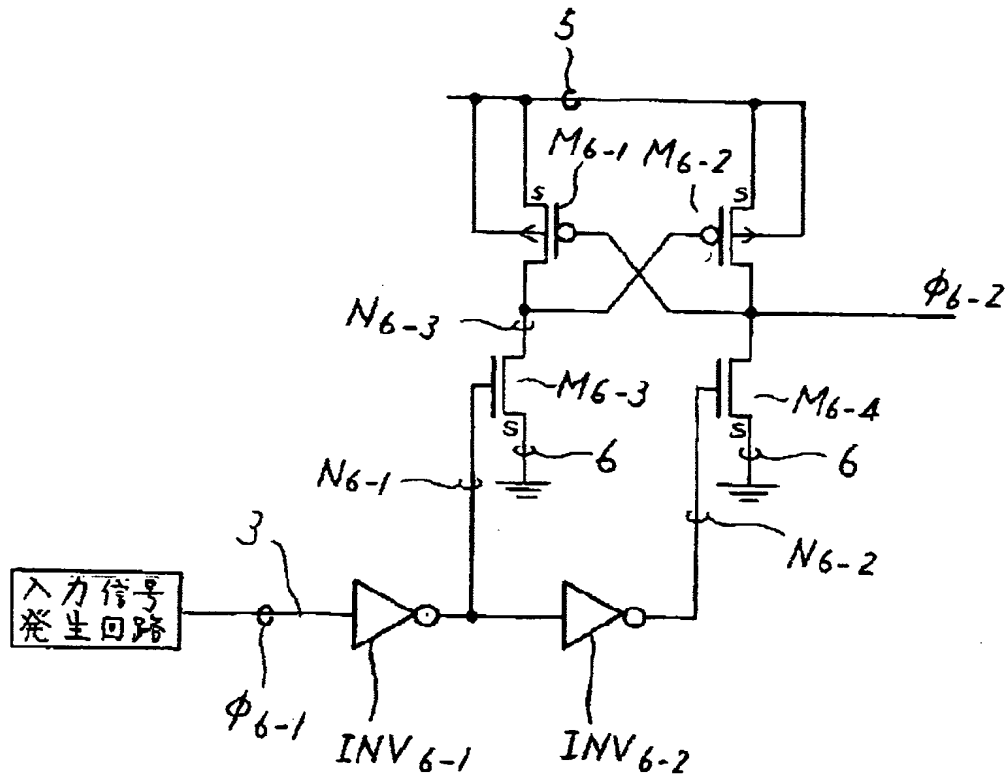
【図3】本発明の第1実施例を示すレベルシフト回路の第2の電源線の電流波形図である。

入力線  $V_{cc} \rightarrow V_{ss}$  時の第2電源線電流波形図入力線  $V_{ss} \rightarrow V_{cc}$  時の第2電源線電流波形図

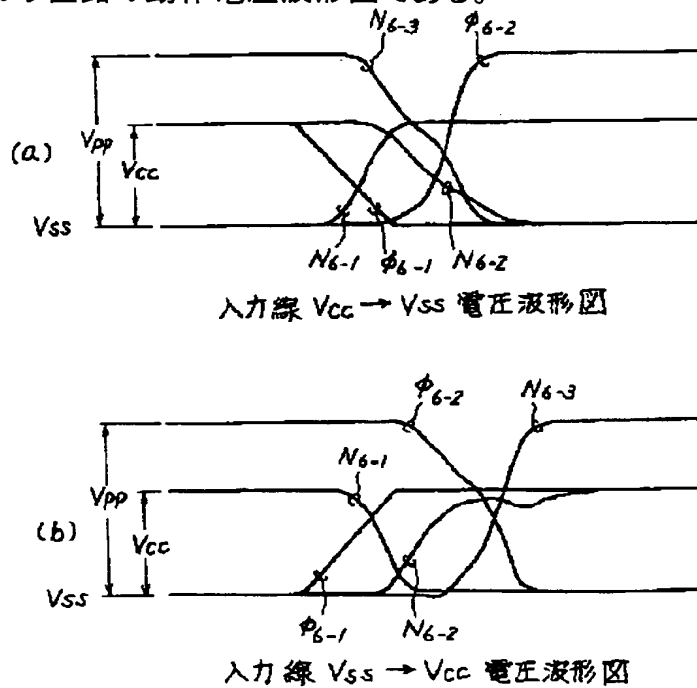
【図2】本発明の第1実施例を示すレベルシフト回路の動作電圧波形図である。

入力線  $V_{cc} \rightarrow V_{ss}$  電圧波形図入力線  $V_{ss} \rightarrow V_{cc}$  電圧波形図

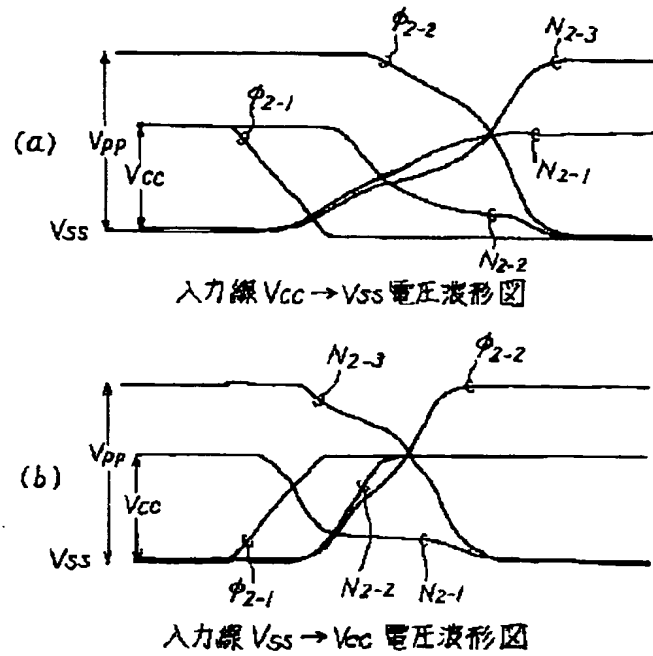
【図4】従来のレベルシフト回路図である。



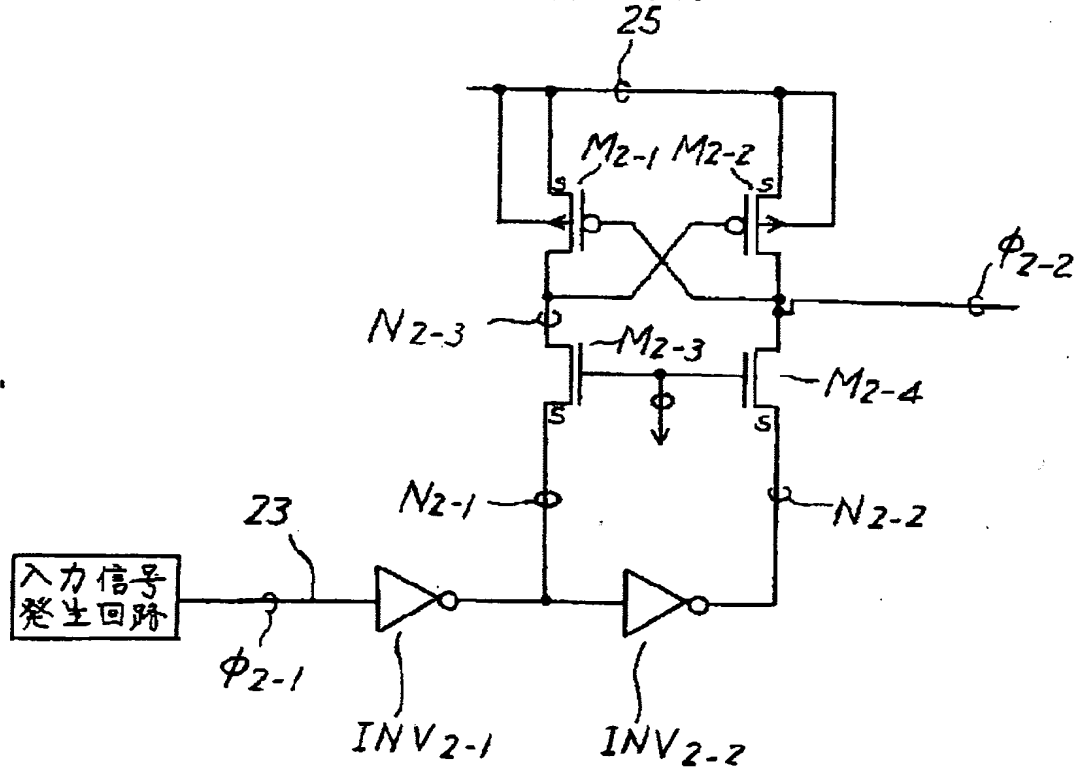
【図5】従来のレベルシフト回路の動作電圧波形図である。



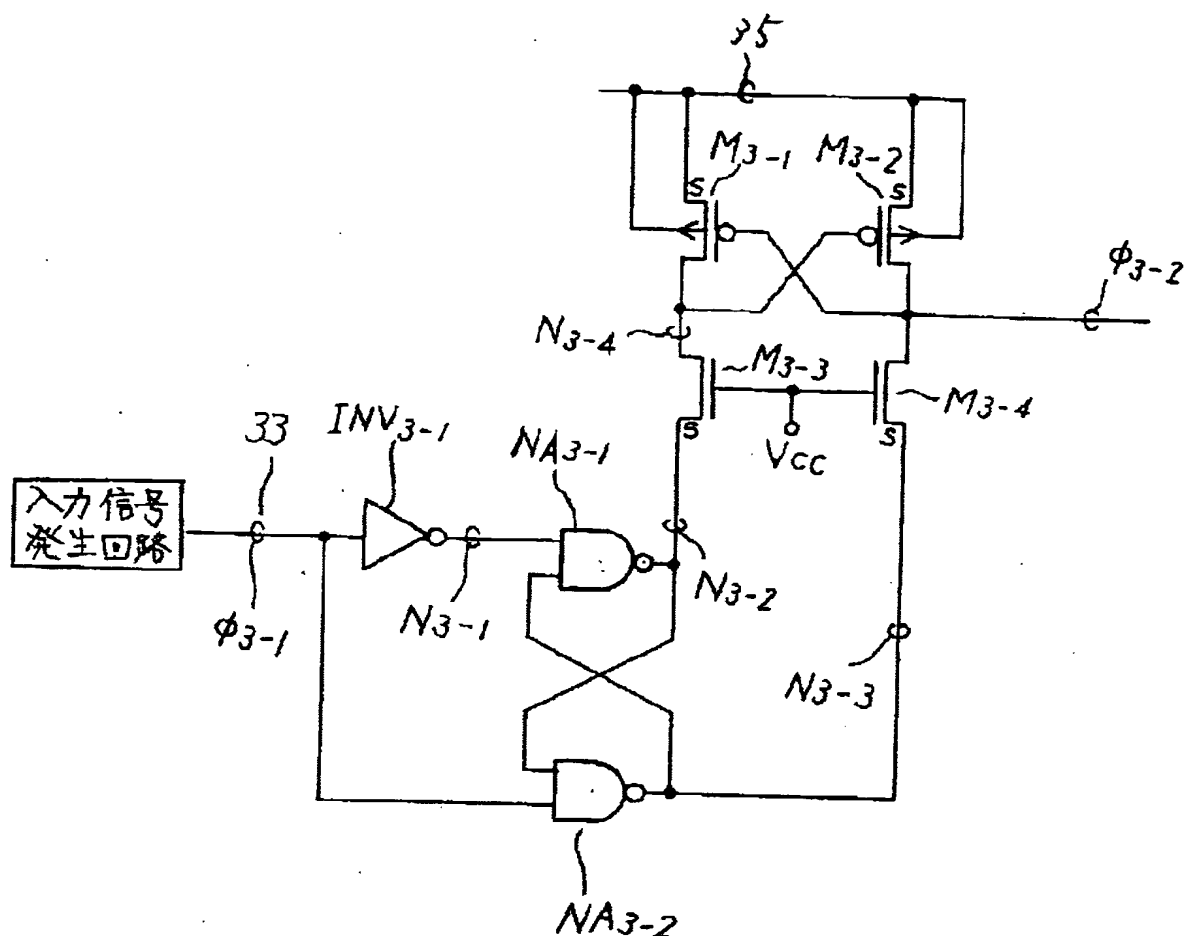
【図7】本発明の第2実施例を示すレベルシフト回路の動作電圧波形図である。



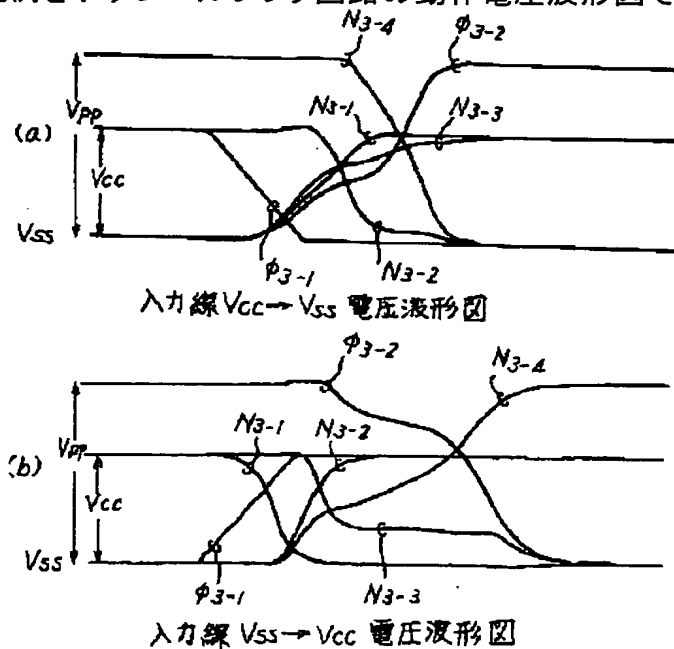
【図6】本発明の第2実施例を示すレベルシフト回路図である。



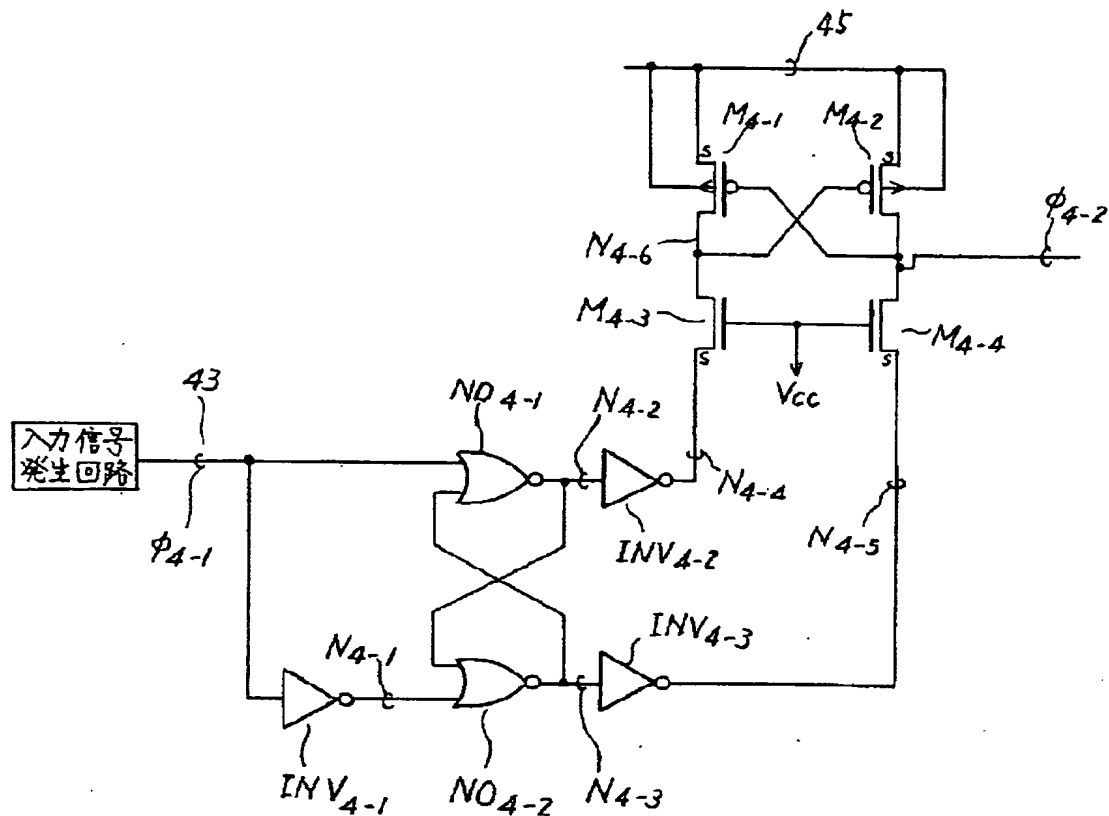
【図8】本発明の第3実施例を示すレベルシフト回路図である。



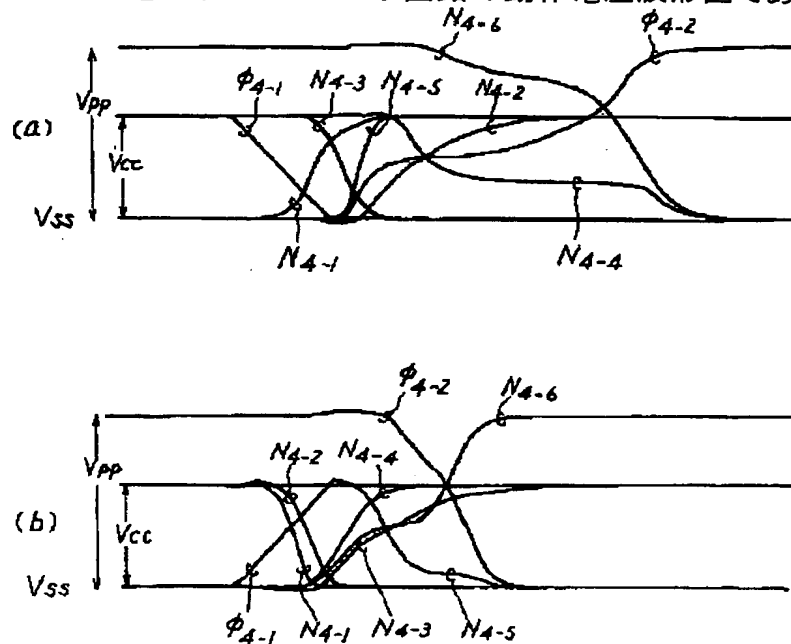
【図9】本発明の第3実施例を示すレベルシフト回路の動作電圧波形図である。



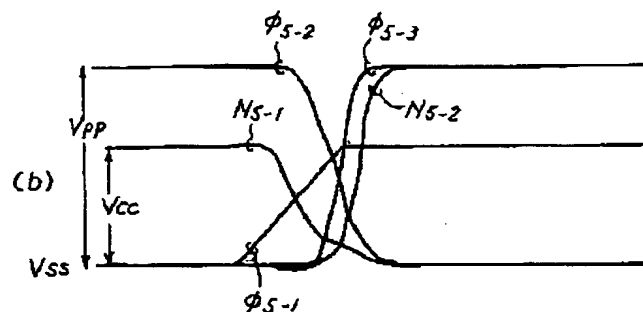
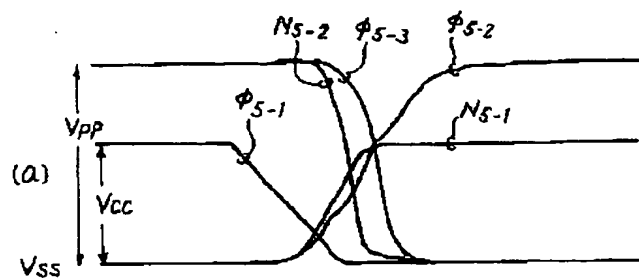
【図10】本発明の第4実施例を示すレベルシフト回路図である。



【図11】本発明の第4実施例を示すレベルシフト回路の動作電圧波形図である。



【図13】本発明の第5実施例を示すレベルシフト回路の動作電圧波形図である。



【図12】本発明の第5実施例を示すレベルシフト回路図である。

